

FORMATION METHOD FOR VERY SHALLOW P-N JUNCTION OF SEMICONDUCTOR SUBSTRATE

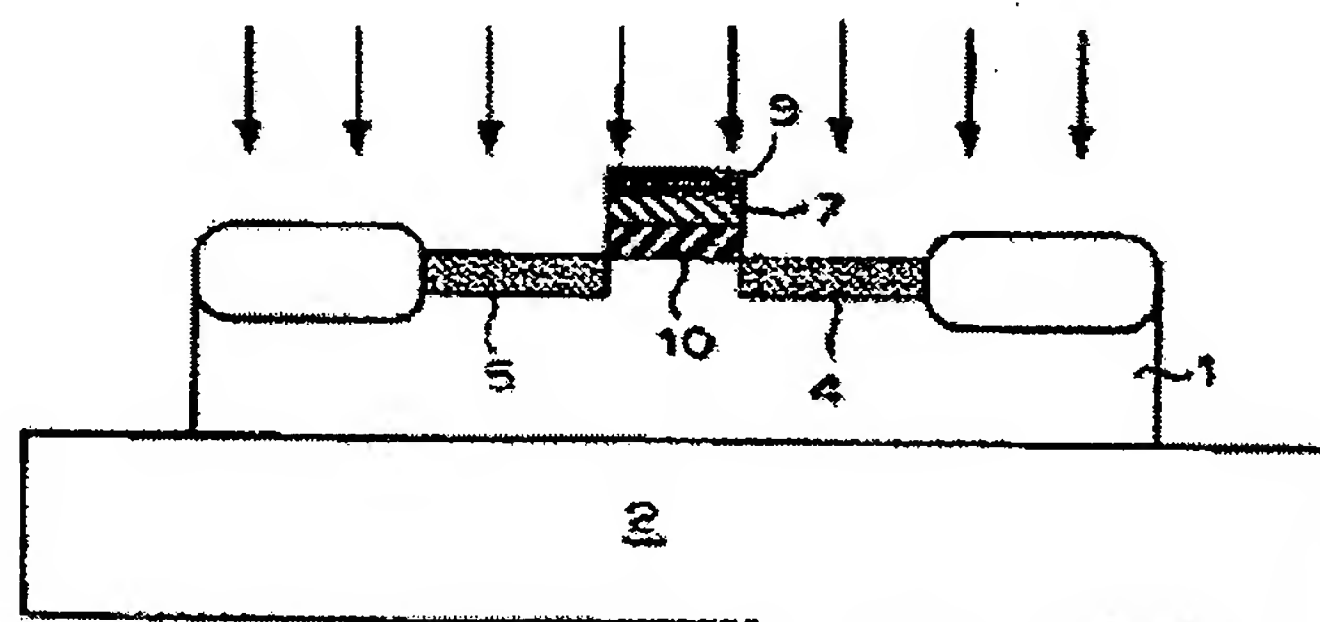
Patent number: JP2002246329
Publication date: 2002-08-30
Inventor: KUROSAWA TOSHITAKA; MATSUNO AKIRA; KAGAWA KAZUHIRO; NIRE TAKASHI
Applicant: KOMATSU MFG CO LTD
Classification:
- international: *H01L29/78; H01L21/265; H01L21/8238; H01L27/092; H01L29/66; H01L21/02; H01L21/70; H01L27/085; (IPC1-7): H01L21/265; H01L21/8238; H01L27/092; H01L29/78*
- european:
Application number: JP20010042711 20010220
Priority number(s): JP20010042711 20010220

[Report a data error here](#)

Abstract of JP2002246329

PROBLEM TO BE SOLVED: To provide the formation method of a very shallow junction, with which a required area is annealed efficiently in a short time, by using an excimer laser capable of annealing in the shallow region of a substrate, since the wavelength is short and a light absorption coefficient is large.
SOLUTION: Impurity ions are implanted to the depth of ≤ 40 nm in impurity implantation regions (4 and 5) on a semiconductor substrate (1) by an ion implantation method and the temperature of the semiconductor substrate (1) is elevated to a low temperature of 550 to 600 deg.C, at which impurities do not diffuse. Also, the impurity implantation regions (4 and 5) of the semiconductor substrate (1) at the temperature are irradiated by the excimer laser, having a wavelength of ≤ 310 nm, and the re-crystallization of the implantation regions (4 and 5) and the electrical activation of the impurities are carried out.

本発明の第1実施例であるアニーリング処理時の説明図



- | | |
|----|----------|
| 1 | 〔シリコン〕基板 |
| 2 | 基板加熱部 |
| 4 | ソース領域 |
| 5 | ドレイン領域 |
| 6 | 加熱部 |
| 7 | ゲート電極 |
| 9 | 導電性多層膜 |
| 10 | 絶縁膜 |

(51)Int.Cl. ⁷		識別記号	F I		テ-マ-ト*(参考)	
H 0 1 L	21/265	6 0 2	H 0 1 L	21/265	6 0 2 C	5 F 0 4 8
	21/8238				3 2 1 E	5 F 1 4 0
	27/092				3 0 1 S	
	29/78					
審査請求 未請求 請求項の数 3 O L (全 8 頁)						
(21)出願番号 特願2001-42711(P2001-42711)			(71)出願人 000001236 株式会社小松製作所 東京都港区赤坂二丁目 3 番 6 号			
(22)出願日 平成13年 2 月20日(2001. 2. 20)			(72)発明者 黒沢 利崇 神奈川県平塚市万田1200 株式会社小松製 作所研究本部内			
			(72)発明者 松野 明 神奈川県平塚市万田1200 株式会社小松製 作所研究本部内			
			(74)代理人 100091948 弁理士 野口 武男			
			最終頁に続く			

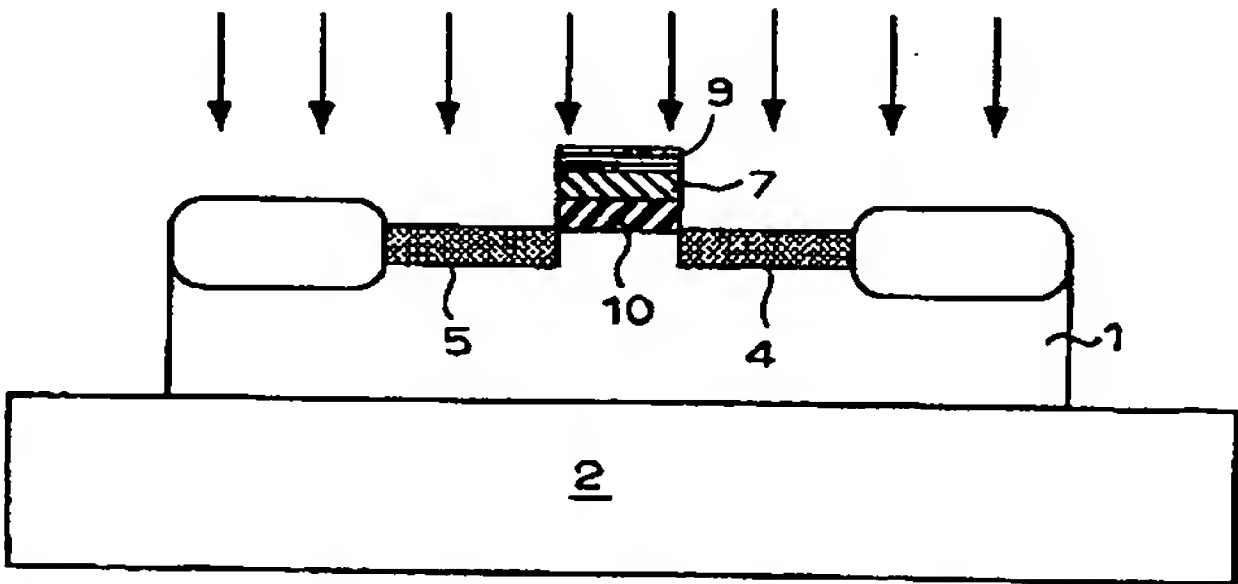
(54)【発明の名称】 半導体基板の極浅 p n 接合の形成方法

(57)【要約】

【課題】波長の短く光吸収係数の大きいため基板の浅い領域におけるアニーリングが可能なエキシマレーザを用いて、必要とする面積を短時間で且つ効率的なアニーリングを可能にした極浅接合の形成方法を提供する。

【解決手段】イオン注入法により半導体基板(1)上の不純物注入領域(4,5)に不純物イオンを40nm以下の深さに注入し、前記半導体基板(1)を不純物が拡散しない550～600℃の低温度に昇温させるとともに、310nm以下の波長を有するエキシマレーザをもって前記温度下にある前記半導体基板(1)の不純物注入領域(4,5)を照射し、同注入領域(4,5)の再結晶化及び不純物の電氣的活性化を行う。

本発明の第1実施例であるアニーリング処理時の説明図



- 1 (シリコン) 基板
- 2 基板加熱台
- 4 ソース領域
- 5 ドレイン領域
- 6 加熱源
- 7 ゲート電極
- 9 誘電体多層膜
- 10 絶縁膜

【特許請求の範囲】

【請求項1】 半導体集積回路の浅いp n接合を形成する方法であって、

イオン注入法により半導体基板上の不純物注入領域に不純物イオンを深さ40nm以内に注入すること、
前記半導体基板を不純物の拡散しない温度に昇温させるとともに、紫外線パルスレーザをもって前記温度下にある前記半導体基板の不純物注入領域を照射し、同注入領域の再結晶化及び不純物の電気的活性化を行うこと、
とを備えてなることを特徴とする半導体基板の極浅p n接合の形成方法。

【請求項2】 不純物が拡散しない前記温度が、次式(I)を満足すると共に、不純物の拡散距離が20nm以下となる範囲にあることを特徴とする請求項1記載の極浅p n接合の形成方法。

$$x / \{ 2 (D \cdot t)^{1/2} \} > 0.1 \quad \dots\dots (I)$$

但し、D：温度の関数である拡散係数 (cm^2 / sec)

x：拡散距離 (cm)

t：加熱時間 (sec)

【請求項3】 前記パルスレーザが310nm以下の波長を有し、不純物の活性化領域深さを40nm以下に制御することを含んでなることを特徴とする請求項1又は2記載の極浅p n接合の形成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、p型半導体及びn型半導体のp n接合深さが40nm以下となる極めて浅い接合の形成方法に関する。

【0002】

【従来の技術】近年の半導体装置における大容量化は著しい。これは、リソグラフィ技術等の平面的な微細加工技術の進歩に負うところが大きい。しかし、大容量化を実現するには、平面的な微細加工技術とともに、比例縮小則に従った浅い深さで接合を形成する必要がある。この接合深さが浅く形成できれば、短チャネル効果も抑制できる。高濃度に不純物を拡散しなければ、抵抗は大きくなり高速化の妨げとなる。従って、極めて浅い接合の形成技術では、接合を浅く形成すると同時に、不純物濃度を高くして抵抗を小さくする必要がある。こうした要求を満足しようとする、例えば特開昭57-34332号公報や特開平3-163822号公報等に開示されたような浅い接合の形成技術が提案されている。

【0003】特開昭57-34332号公報によれば、シリコン基板に酸素、窒素、炭素などの電気的不活性不純物イオン所望の浅い接合直下の深さ方向位置に加速電圧を選択して高濃度イオン注入し、熱工程による拡散の少ない絶縁層を形成する。この絶縁層を形成したのち、通常の半導体製造工程に準拠して、イオン注入法により活性不純物イオンを注入し、所定の高温熱処理工程を経

てソース、ドレインを形成する。この熱処理としては、電子ビーム又はレーザビームのウェハ照射により行ってもよい。

【0004】具体的には、シリコン基板に120KeVの加速電圧をもって $5 \times 10^{17} \sim 1 \times 10^{18} / \text{cm}^2$ のドーズ量の電気的不活性原子である窒素を、深さがほぼ0.2μmの領域にイオン注入する。次いで、ソース、ドレインへイオン注入法によりpチャネルトランジスタを形成するにはボロンを、nチャネルトランジスタを形成するには燐あるいは砒素をイオン注入したのち、850～1150℃の高温熱処理を行い、窒素イオン注入時及び不純物イオン注入時にシリコン基板に生じた欠陥の回復と注入不純物の電気的活性化を行うことを開示している。

【0005】この方法により、従来法では困難であった極めて浅い0.2μmの接合形成が可能となった。また窒素イオン注入時の加速電圧を下げることで、更に浅い接合形成も可能であるため、拡散層と基板間の電気容量が抵減でき、半導体装置の高速化が可能となるばかりでなく、深い領域でのパンチスルーが防止できる。

【0006】一方、砒素(As)のようなn型の不純物に比べて拡散定数大きいBやBF₂のようなp型の不純物を注入して、0.35μm以下の短チャネルMOSFETのような浅い接合を形成しようとする場合に、不純物注入領域の電気的活性化をはかるために必要なパワーを有するランプアニールによっても、拡散を避けるため2秒程度の短時間の処理しかできず、再結晶化や活性化のために必要なエネルギーが投入できず、アニーリングの安定性に欠ける。

【0007】また、不純物イオンの注入後に、例えばNd-YAGレーザや、XeClのエキシマレーザのような短波長のパルスレーザを用いてイオン注入による欠陥の除去と不純物領域の電気的活性化をはかるためアニーリングする場合には、半導体基板を溶融させてしまい、特に浅い接合では液相から固相に変化するとき欠陥が発生しやすく、表面の平坦化も損なわれてしまうおそれがあった。

【0008】これらの点を改善すべく、上記特開平3-163822号公報では、半導体基板上に不純物イオンをイオン注入し、その後550～600℃の低温度で熱処理してイオン注入による欠陥を回復させたのちに、回復した領域の融点以内の高温でエキシマレーザ照射を行って不純物注入領域の活性化をはかっている。エキシマレーザの半導体基板中への浸入長は高々400Å(40nm)程度であるから、高濃度であって欠陥が少なくかつ極めて浅い接合形成ができ、またレーザ照射のパワーが溶融温度以内であるから表面の平坦性が保持される。

【0009】具体的なイオン注入条件は、ソースおよびドレイン領域として用いる場合、通常 $5 \times 10^{15} / \text{cm}$

² 程度の高ドーズ量の注入を行い、例えば波長が308 nmであるXeClエキシマレーザを不純物注入領域に照射すれば、不純物が活性化したp型領域を形成することができる。このときのレーザ照射のパワーは、再結晶化した不純物注入領域の融点である1410℃以内に設定している。予め低温度でアニーリングを行い不純物領域を再結晶化しているため高融点となり、アニール条件が緩和されて、熔融しない温度でアニーリングできるため、表面の平坦性が保障される。

【0010】

【発明が解決しようとする課題】しかしながら、上記特開昭57-34332号公報によれば、不純物注入領域に不純物を投入したのちの加熱処理（アニーリング）をレーザ照射により行うとの開示はあるものの、レーザの種類や照射条件が全く開示されておらず、仮にアニーリングを一般のレーザ照射により行おうとすると、基板表面を熔融変形させるか、或いはアニーリング不良を招きかねない。

【0011】ところで、近年のウェハの大型化（300 mmφ）及び半導体装置の高集積化に伴い、1チップの面積が拡大する傾向にある。上記特開平3-163822号公報によると、不純物イオンの注入後に550～600℃の低温度でアニーリングを行ったのち、改めてエキシマレーザを照射して欠陥の少ない浅い接合を形成するものであるが、エキシマレーザによる照射エネルギー密度の限界と、1パルスで熱処理できる面積の限界により、生産性が低くなる。

【0012】本発明の目的は、波長の短く光吸収係数の大きい基板の浅い領域におけるアニーリングが可能なエキシマレーザを用いて、必要とする面積を短時間で且つ効率的なアニーリングを可能にした極浅接合の形成方法を提供することにある。

【0013】

【課題を解決するための手段】請求項1に係る発明は、半導体集積回路の浅いpn接合を形成する方法であって、イオン注入法により半導体基板上の不純物注入領域に不純物イオンを深さ40 nm以内に注入すること、前記半導体基板を不純物が拡散しない温度に昇温させるとともに、紫外線パルスレーザをもって前記温度下にある前記半導体基板の不純物注入領域を照射し、同注入領域の再結晶化及び不純物の電気的活性化を行うことを備えてなることを特徴とする半導体基板の極浅pn接合の形成方法にある。

【0014】イオン注入法によって半導体基板に不純物イオンを注入する場合、その加速電圧を0.1 KeV以上に選択することにより注入深さを任意に設定することができることは知られている。しかるに、不純物イオンの注入時の衝撃などにより注入領域の結晶が損傷を受けるため、これを回復させることと、不純物の活性化をはかるには高温下での熱処理、すなわちアニーリング処理

を行う必要がある。

【0015】従来のアニーリングは、ハロゲンランプ等によるランプ加熱が主流であり、例えば上記公報に記載されているように、例外的にレーザビームによって加熱処理を行っている。しかるに、これらの加熱処理において、たとえ波長の短いエキシマレーザを使用したとしても、不純物注入領域の結晶化と不純物の活性化を確実に実行させようとするれば、大きなエネルギー密度が必要となり、レーザのエネルギーが限られている場合には、必然的に照射面積が狭くなくため、生産性が低下する。

【0016】本発明にあつては、上述のごとき構成を備えているため、半導体基板を予め拡散の進まない低温度に昇温させておき、その状態を維持させたままで、例えば基板に対して特に光吸収性に優れた短波長のエキシマレーザを用いて不純物注入領域に極めて短時間照射すれば、エネルギー密度を大きくしなくても、不純物注入領域にはアニーリングには必要な熱量が十分に供給されることになり、しかもその透過深さも限定され、拡散が進行しない時間内に処理が完了することになる。

【0017】請求項2に係る発明は、不純物が拡散しない前記温度が、次式(I)を満足すると共に、不純物の拡散距離が20 nm以下となる範囲にあることを特徴とする請求項1記載の極浅pn接合の形成方法にある。

【0018】

$$x / \{ 2 (D \cdot t)^{1/2} \} > 0.1 \quad \dots\dots (I)$$
但し、D：温度の関数である拡散係数（ cm^2 / sec ）

x：拡散距離（cm）

t：加熱時間（sec）

前記温度の設定は、不純物が必ずしも完全に拡散しない範囲でなくてはならないというものではなく、その拡散距離xが接合深さに比して影響が生じない範囲で適宜選択できるものである。一方、前記拡散距離xは20 nm以下であることが望ましい。この拡散距離xは、加熱時間tと加熱温度により決まる拡散係数Dとから求まるが、本発明にあつては前記温度を拡散距離xが20 nm以下とし、同時に加熱時間tとの関係において上記式(I)を満足するような昇温温度を設定する。

【0019】請求項3に係る発明は、前記パルスレーザが310 nm以下の波長を有し、イオン注入時における加速電圧を制御して不純物の活性化領域深さを40 nm以下に制御することを含んでいることを特徴としている。本発明は、上述のごとくアニーリング処理が余計な拡散を伴うことなく、確実になされることから、不純物イオンの注入深さを自由に設定でき、特に従来では不可能な40 nm以下に設定しても、請求項1に係る発明によるアニーリング処理により無用な拡散が回避でき、極浅の接合が実現できる。

【0020】また、上記請求項1～3に係る発明にあつて、次に述べるような多様な実施の態様にまで発展させ

ることができる。例えば、加速電圧を選択してイオン注入法により半導体基板上の不純物注入領域に不純物イオンを深さ40nm以内に注入したのちに、予め形成されたゲート電極の表面に波長が310nm以下の紫外光に対する反射膜を形成する。次いで、上述のように基板を予め拡散が進行しない範囲の低温度まで昇温させ、その温度を維持した状態で前記不純物注入領域に波長が310nm以下のパルスレーザを照射して、同注入領域の再結晶化及び不純物の電気的活性化を行う。

【0021】例えば、アニーリングに必要とされるパルスレーザのエネルギー密度をもってゲート電極を照射した場合に、電極材料によってはレーザ照射により損傷を受けることがある。こうしたときにも、ゲート電極の表面に前記反射膜が形成されているため、レーザビームはゲート電極表面の反射膜で反射して電極表面に直接導入されることなく、不純物注入領域には所要のエネルギー密度をもつレーザビームが照射されることになる。

【0022】更に他の態様として、先ず半導体基板の不純物注入領域の40～60nmの深さに不活性不純物イオンを注入し、電気的絶縁層を形成したのちに、前記注入領域の40nm以下の深さに活性不純物イオンを注入してから、基板全体を拡散が進行しない程度の低温度まで昇温させ、その温度を維持した状態で、エキシマレーザをもって前記不純物注入領域を照射し、同注入領域の活性不純物の再結晶化及び同不純物の電気的活性化を行うようにすることもできる。

【0023】前記電気的な絶縁層を構成する不活性不純物イオンは、活性不純物と比較して拡散しにくい性質を有している。従って、不活性不純物イオンの注入後に通常の加熱手段をもって高温でアニーリング処理を行っても余り拡散しないうちに、基板と化学的に結合して電気的絶縁層を形成する。その後、同活性不純物の注入領域に活性不純物イオンを注入して、上述のような本発明によるアニーリング処理を行っても、前記電気的絶縁層による防護壁の機能によって活性不純物イオンは拡散することなく、効率的に活性化する。このとき、同時に活性不純物領域の結晶化もなされて極浅の接合が形成される。

【0024】

【発明の実施の形態】以下、本発明の好適な実施形態を図面を参照しながら具体的に説明する。以下の説明では、金属酸化膜半導体電界効果型トランジスタ(MOSFET)のソース領域とドレイン領域の極浅接合を形成するときの、特にアニーリング処理を中心に説明する。なお、本発明はバイポーラトランジスタの接合形成にも当然に適用が可能である。

【0025】図1は本発明方法の第1実施形態に適用される好適な極浅接合時のアニーリング装置の概略構成を示している。同図において、符号1は単結晶p型シリコン基板を示し、このシリコン基板1はホットプレート等

の通常の加熱手段を備えた基板加熱台2に載置される。シリコン基板1の上方にはエキシマレーザ装置3が設置されている。

【0026】シリコン基板1のソース領域4とドレイン領域5には、加速電圧を選択して、通常のイオン注入法によりn型不純物であるP(リン)イオンが注入される。このときのイオン注入深さは加速電圧の選択により決まり、本実施形態では5keVの加速電圧を選択し、 $1 \times 10^{18} / \text{cm}^2$ 程度のPイオンを20nmの深さにわたって注入した。

【0027】このイオン注入を終えたシリコン基板1を基板加熱台2に載置して、イオン注入過程においてシリコン結晶に損傷を受けたソース領域4とドレイン領域5の再結晶化のために、基板加熱台2を昇温させてシリコン基板1を550℃程度の低温度となるまで加熱する。この550℃の温度は、シリコン基板1に対して不純物が拡散しない程度の温度である。

【0028】図2は、シリコン基板の加熱温度Tと、同温度Tに対応する不純物の拡散距離を決めるための拡散係数D(cm^2 / sec)との関係を示している。同図に示すごとく、加熱温度Tが500～650℃の範囲では拡散係数Dの値は $10^{-14} \sim 10^{-12}$ の範囲を略直線的に変化する。そして、不純物の拡散距離xは、前記拡散係数Dと加熱時間tとにより次式(I)から求めることができる。

$$x = 2 (D \cdot t)^{-2} \quad \dots\dots (I)$$

本発明にあつては、前記不純物の拡散距離xを接合深さに比して影響が生じない範囲として、20nm以下に設定している。

【0029】いま、温度が550℃の場合には、拡散係数Dは 5.22×10^{-14} であり、加熱時間tを120secに設定すると、拡散距離xが6nmとなり上記式(I)を満足する。

【0030】シリコン基板1が550℃程度に昇温したのちも、基板加熱台2の加熱温度を制御して、シリコン基板1を550℃程度に維持させる。この状態で、例えばKrF又はXeClエキシマレーザ装置3を駆動してソース領域4及びドレイン領域5を一括照射する。このときのレーザビームの波長は310nm以下に設定され、エネルギー密度を $500 \text{ mJ} / \text{cm}^2$ とした。かかる照射条件で、各領域4、5に要求される再結晶化と不純物の電気的活性化が得られ、満足できる結果であることが判明した。

【0031】このような照射条件にて、デバイスとして要求される電気的特性が得られる理由は、本発明の特徴部の一部を構成するアニーリング処理に、通常の外部加熱とエキシマレーザの照射による加熱との併用を採用したことによる。つまり、シリコン基板1を550℃程度の低温まで昇温させて不純物の電気的活性化とイオン注入時に受けた損傷の回復をしやすい環境下においてか

ら、その環境を維持した状態で光吸収係数の高い短波長からなるエキシマレーザを照射することにより、ソース領域4及びドレイン領域5内に対する必要とするレーザビームによる加熱エネルギーの供給量を極めて少なくすることを可能にする。

【0032】ここで、エキシマレーザのパルス幅及びエネルギー密度は、基板の材質、基板に導入される不純物の種類及びレーザビームの波長により選択されるものであって、前記数値に限定されるものではないが、いずれの場合にも従来のアニーリングと比較すると、処理効率と品質の大幅な向上につながる。

【0033】図3は、本発明の第2実施形態を示しており、上記第1実施形態における基板加熱台2に代えて、エキシマレーザ装置3を囲むようにして、その斜め上方にハロゲンランプ等からなる加熱源6が設置されている。また図4は本発明の第3実施形態を示しており、第1実施形態における基板加熱台2と第2実施形態における加熱源6とを併用している。

【0034】第2実施形態によれば、加熱源6による加熱速度が速く、しかもシリコン基板1の表面から加熱するため加熱効率が高く、短時間にシリコン基板1の表面を550℃の低温下に置くことが可能となる。また、第3実施形態では、更にシリコン基板1の裏面からも加熱するため、シリコン基板1の全体が素早く550℃程度の低温まで昇温される。

【0035】図5は、本発明の第4実施形態を示している。この実施形態によれば、イオン注入法によりシリコン基板1のソース領域4及びドレイン領域5に注入される電気的活性不純物11であるPイオンの注入深さは、あまり加速電圧を厳密に制御することなく、20～40nmの極浅接合を確実に形成することが可能である。

【0036】すなわち、この実施形態でも上記第1～第3実施形態と同様に、イオン注入後のアニーリング処理をシリコン基板1を拡散を生じない550℃程度の低温に予め昇温しておき、その温度を維持した状態で、エキシマレーザ3により短時間でアニーリング処理を行うことに変わりないが、前記電気的活性不純物11からなるp型領域を20～40nmの極く浅い深さで確実に接合させ得るものである。

【0037】図5において、シリコン基板1のソース領域4及びドレイン領域5に、Pイオンを注入するに先立って、先ずO（酸素）、N（窒素）或いは炭素などの電気的に不活性な不純物イオンをイオン注入する。このときの注入深さは、電気的に活性な不純物イオンと同様に、加速電圧を選択することにより任意に設定できる。本実施形態では、前記電気的に不活性な不純物イオンを40～70nmの深さ範囲内に注入する。

【0038】こうして、電気的に不活性な不純物イオンが注入されたのちに、同じくシリコン基板1のソース領域4及びドレイン領域5に電気的活性不純物11である

P（燐）イオンをイオン注入法によって、深さ40nm以下に注入する。この注入が終了すると、上述の第1実施形態と同様のアニーリング処理を行う。このアニーリング処理により、ソース領域4及びドレイン領域5の表面から40nmの深さの間にp型領域が形成され、その下に40～70nmの深さの間に電気的に不活性な不純物12とシリコンの化合物である絶縁層が形成される。

【0039】電気的に不活性な不純物イオンとしてOイオンを注入するときの具体例について述べると、先ずリソグラフィにより素子分離を行ってゲート電極を形成したのち、n型のシリコン基板1のソース領域4及びドレイン領域5に、Oイオンをドーズ量 $1 \times 10^{18} / \text{cm}^2$ の高濃度で深さ20～50nmの範囲にイオン注入する。

【0040】次に、電気的に活性な不純物であるB（ホウ素）イオンを加速電圧15keVで深さ20nm以内の範囲に注入する。この注入が終了したのち、シリコン基板1をランプ加熱により550℃程度の低温に加熱して昇御させる。シリコン基板1が前記温度に達したところで、その温度を維持させながら、エキシマレーザ装置3を駆動してソース領域4及びドレイン領域5を照射する。

【0041】このときのエキシマレーザ装置1の照射条件は、KrFエキシマレーザが使われ、エネルギー密度を500mJ/cm²から1.2J/cm²のエネルギー範囲で照射する。このときのp型領域の深さは20nm以下であり、その下層のSiO₂からなる絶縁層の厚さは30nm以下であった。このときのエキシマレーザによる照射時間は極めて短く、投入エネルギーも小さいため、ソース領域4及びドレイン領域5の表面にはアブレーションの痕跡もない平滑なものであった。

【0042】図6は、本発明の第5実施形態を示している。この実施形態によれば、電気的に活性な不純物がシリコン基板1のソース領域4及びドレイン領域5に注入されたのちのアニーリング処理にあたり、エキシマレーザによる活性化のためのエネルギー条件を設定しやすくするとともに、その制御を容易にする。

【0043】また、この実施形態にあっても上記第1～第3実施形態と同様に、イオン注入後のアニーリング処理をシリコン基板1が拡散を生じない550℃程度の低温に予め昇温され、その温度を維持した状態で、エキシマレーザ3により短時間でアニールすることにより変わらないが、前記電気的活性不純物であるp型又はn型領域を確実に40nm以下の極く浅い深さで接合させ得るようにするものである。

【0044】図6（b）に示すように、予め形成されたゲート電極7を挟んでソース領域4及びドレイン領域5には、上記第1～第3実施形態と同様に、イオン注入法により電気的活性不純物イオンが40nm以内の深さに注入されている。本実施形態によれば、ここでフォトレ

ジストが塗布され、ゲート電極7を除いた部分が露光されたのち、ゲート電極7の表面に塗布されたレジストが除去される。次いで、同図(c)に示すように、蒸着、スパッタ法、MBE法(分子線エピタキシャル成長法)、MOCVD法(有機金属気相エピタキシャル成長法)などの成膜技術により、ゲート電極7の表面に誘電体多層膜9が形成される。この誘電体多層膜9は、後のアニーリング処理時において照射されるエキシマレーザのビームを反射させるか、或いは反射を増加させる機能を有すると共に電氣的絶縁性を備えており、代表的な成膜材料としてはSiO₂がある。

【0045】以下、短チャネルCMOSFET(相補型MOSFET)のソース/ドレイン領域の極浅接合を形成する場合を例にとって、本実施形態を具体的に説明する。先ず、図6(a)に示すように、n型シリコン基板1のn型チャネルトランジスタ形成領域にp型拡散層13を深く形成する。次いで、同図(a)に示すように、n型チャネルトランジスタ形成領域の前記p型拡散層13の中央部表面に絶縁膜10を介して金属材料からなるゲート電極7aを形成するとともに、p型チャネルトランジスタ形成領域の中央部表面に絶縁膜10を介して異なる金属材料からなるゲート電極7bを形成する。

【0046】異種金属からなるゲート電極7a、7bを形成したのち、同図(b)に示すように、p型チャネルトランジスタ形成領域のゲート7bを挟んだソース領域4b及びドレイン領域5bに、上記第1実施形態と同様に、イオン注入法によりB(ホウ素)イオンを20nm以内の深さに注入する。また、n型チャネルトランジスタ形成領域には、先に形成されたp型拡散層のゲート電極7aを挟んだソース領域4a及びドレイン領域5aの深さ20nm以内に、それぞれイオン注入法により砒素イオンが、上述の第1実施形態と同様に注入される。

【0047】これらのイオン注入が終了した時点で、p型及びn型チャネルトランジスタ形成領域に図示せぬフォトリソが塗布される。フォトリソ8が塗布されたのち、ベーク等がなされてから、前記各ゲート電極7a、7bの表面のレジスト以外の部分が露光される。次いで、各ゲート電極7a、7bの表面のレジストを除去して、その各ゲート電極7a、7bの表面に上記誘電体多層膜9が成膜されてから、同図(d)に示すように残るレジストの全てが除去される。

【0048】こうして、各ゲート電極7a、7bの上面に誘電体多層膜9が成膜されると、上記第1実施形態と

同様に、シリコン基板1がランプ加熱により拡散を生じない550℃程度の低温度に予め昇温される。次いで、その低温度を維持した状態で、エキシマレーザ3により第1実施形態と同様の照射条件にて短時間で照射して、不純物の活性化と、イオン注入時に発生する非結晶部分の結晶化とを行うためのアニーリング処理をする。

【0049】しかして、この際のアニーリング処理には数100mJ/cm²のエネルギー密度が必要となるが、このエネルギーのため表面に誘電体多層膜による反射層を設けたとしても、電極表面が荒れたり、損傷を受けることがある。しかるに、本実施形態によれば、基板を昇温しているため、レーザのエネルギー密度を低下させることができるため、ゲート電極7a、7bに損傷を与えることなく、短時間でソース領域4a、4b及びドレイン領域5a、5bの不純物に対する活性化が十分に行うことができるようになる。

【図面の簡単な説明】

【図1】本発明の第1実施例であるアニーリング処理時の説明図である。

【図2】シリコン基板に対する加熱温度と不純物の拡散距離との相関図である。

【図3】本発明の第2実施例であるアニーリング処理時の説明図である。

【図4】本発明の第3実施例であるアニーリング処理時の説明図である。

【図5】本発明の第4実施例であるイオン注入時とアニーリング処理時の説明図である。

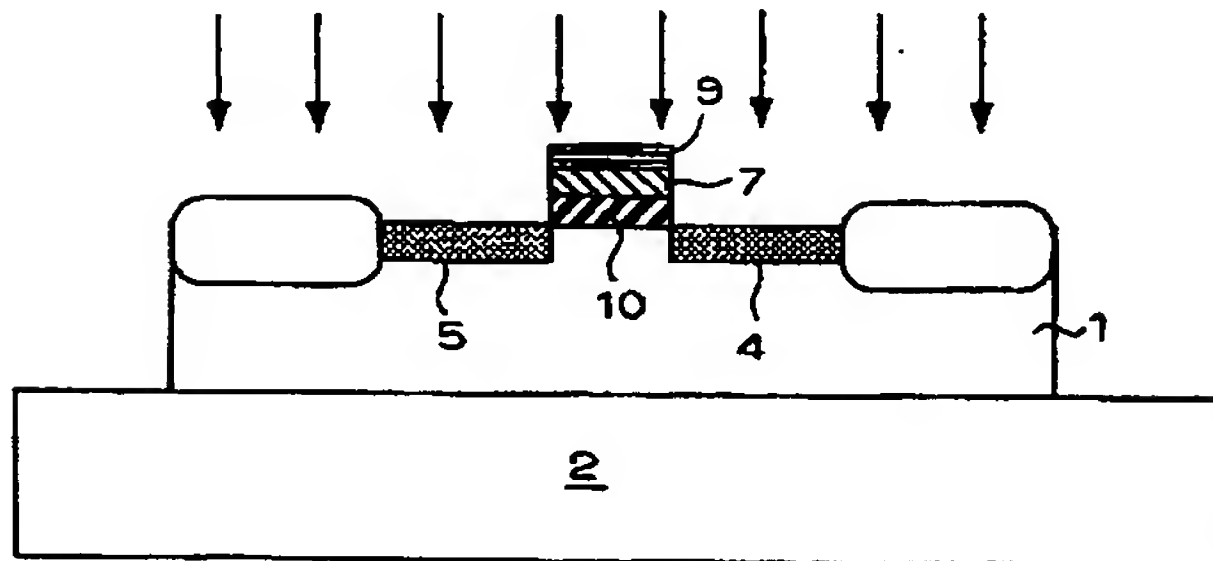
【図6】本発明の第5実施例であるイオン注入時とアニーリング処理時の説明図である。

【符号の説明】

1	(シリコン) 基板
2	基板加熱台
3	エキシマレーザ装置
4, 4a, 4b	ソース領域
5, 5a, 5b	ドレイン領域
6	加熱源
7, 7a, 7b	ゲート電極
8	フォトリソ
9	誘電体多層膜
10	絶縁膜
11	電氣的に活性な不純物
12	電氣的に不活性な不純物
13	p型拡散層

【図 1】

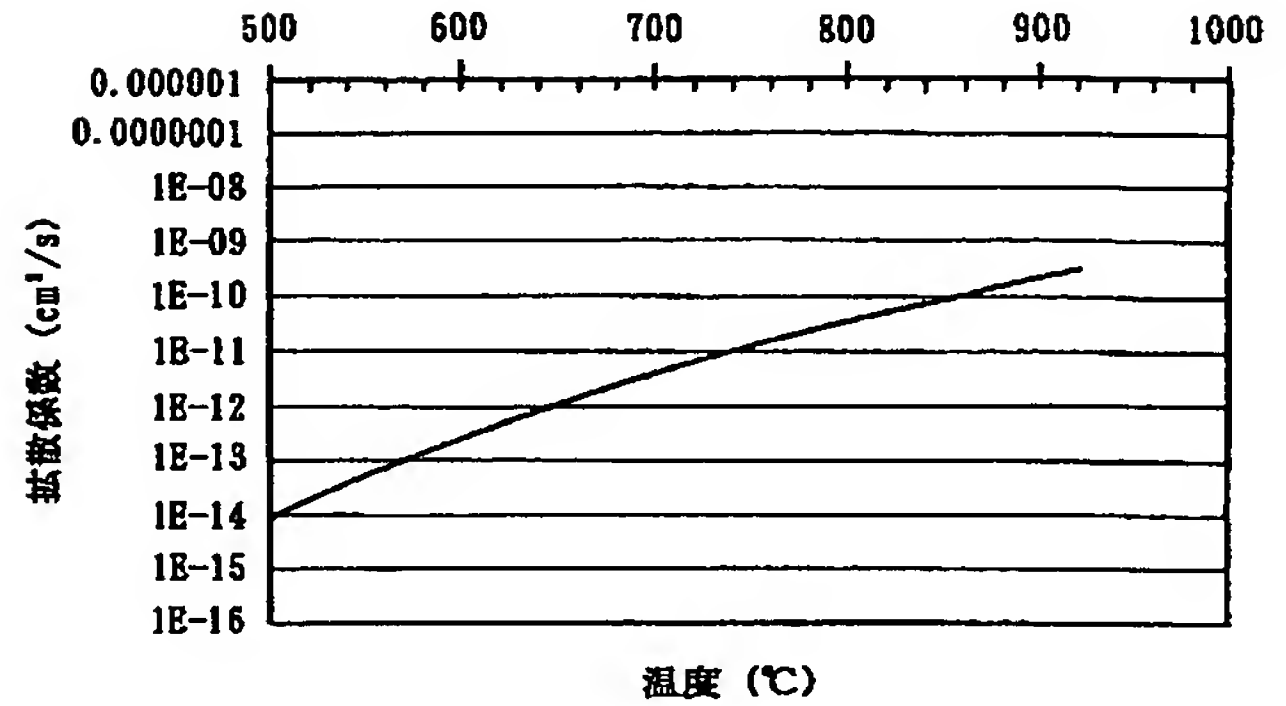
本発明の第 1 実施例であるアニーリング処理時の説明図



- 1 (シリコン) 基板
- 2 基板加熱台
- 4 ソース領域
- 5 ドレイン領域
- 6 加熱源
- 7 ゲート電極
- 9 誘電体多層膜
- 10 絶縁膜

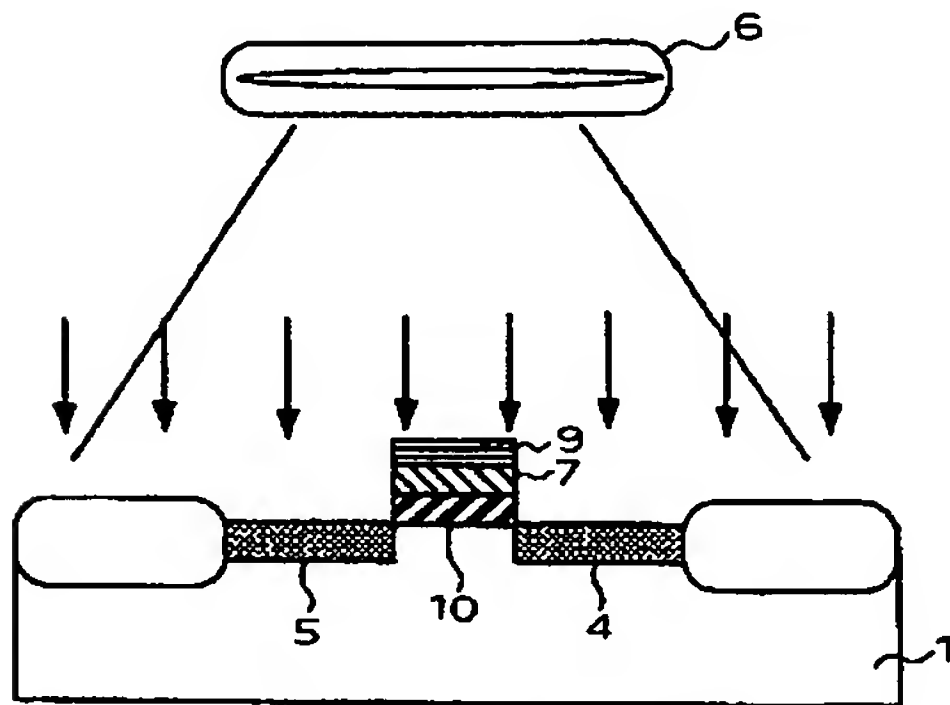
【図 2】

シリコン基板に対する加熱温度と不純物の拡散距離との相関図



【図 3】

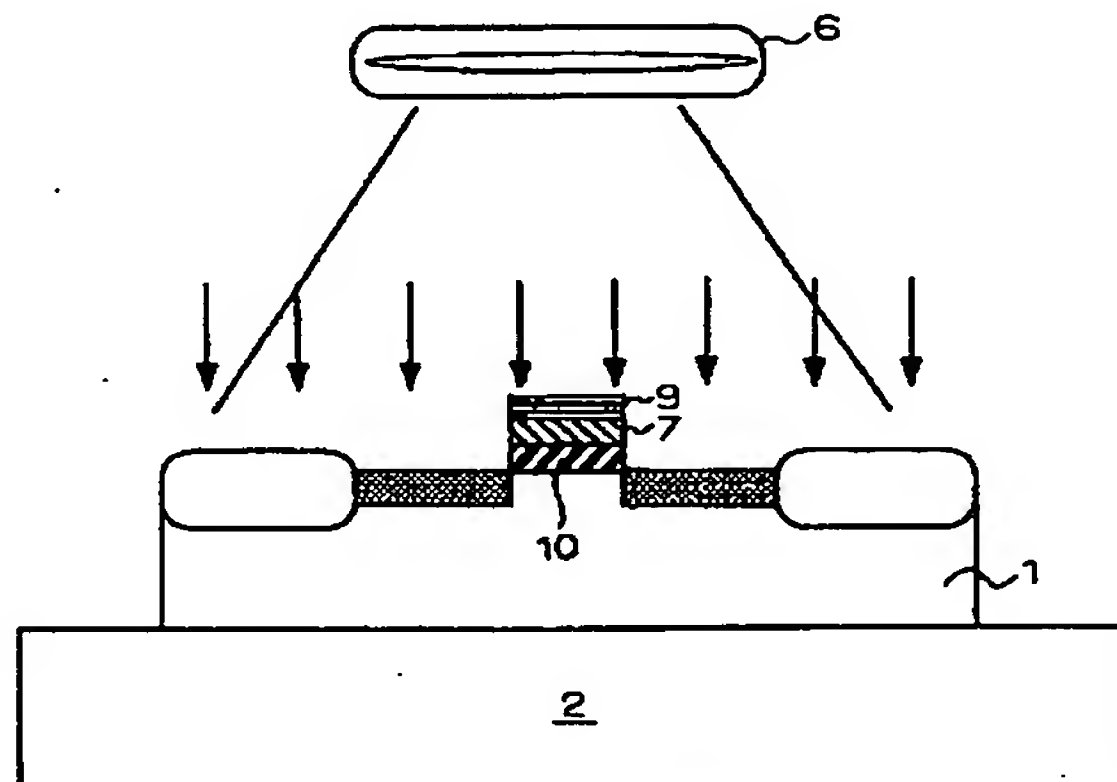
本発明の第 2 実施例であるアニーリング処理時の説明図



- 1 (シリコン) 基板
- 4 ソース領域
- 5 ドレイン領域
- 6 加熱源
- 7 ゲート電極
- 9 誘電体多層膜
- 10 絶縁膜

【図 4】

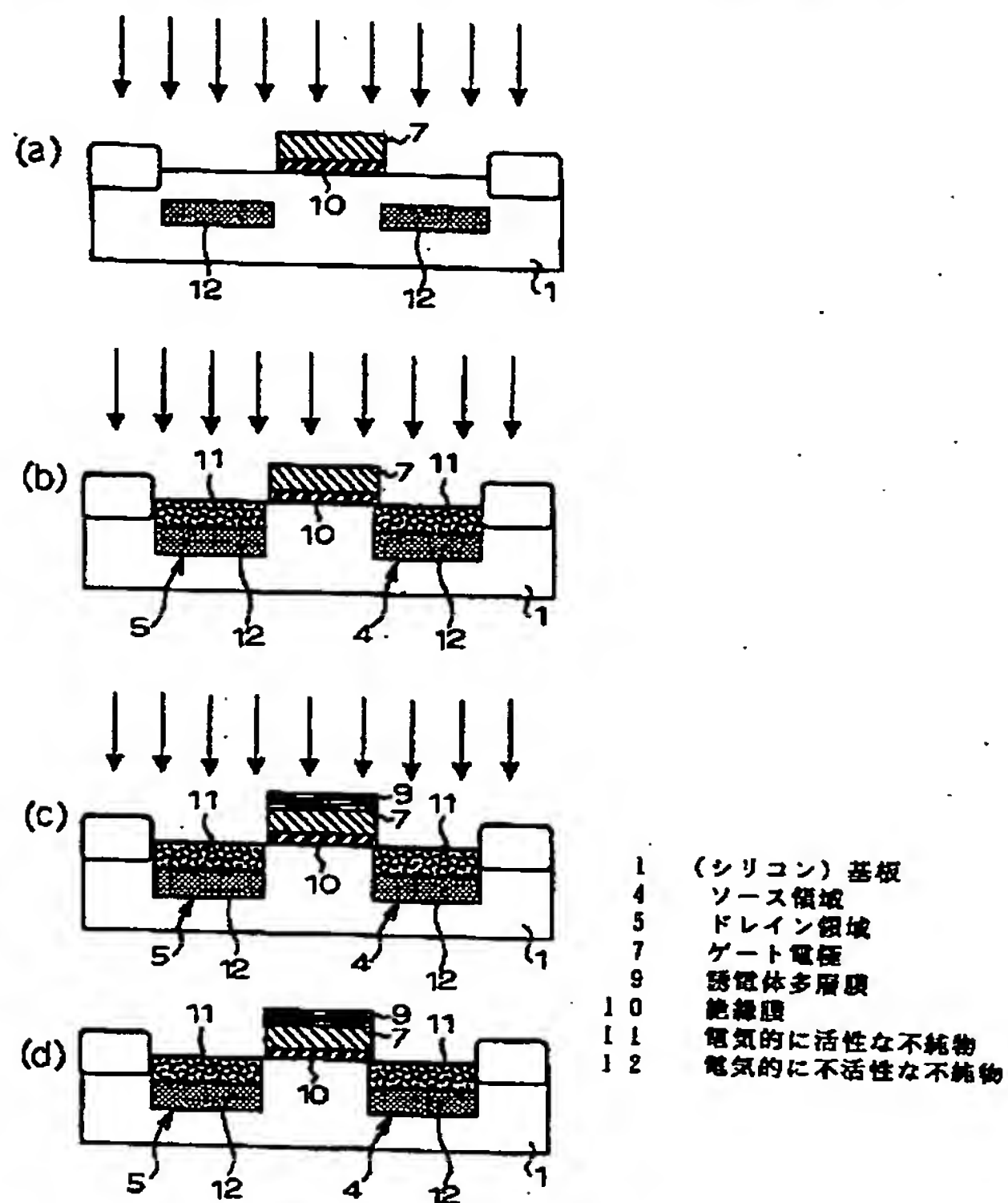
本発明の第 3 実施例であるアニーリング処理時の説明図



- 1 (シリコン) 基板
- 2 基板加熱台
- 6 加熱源
- 7 ゲート電極
- 9 誘電体多層膜
- 10 絶縁膜

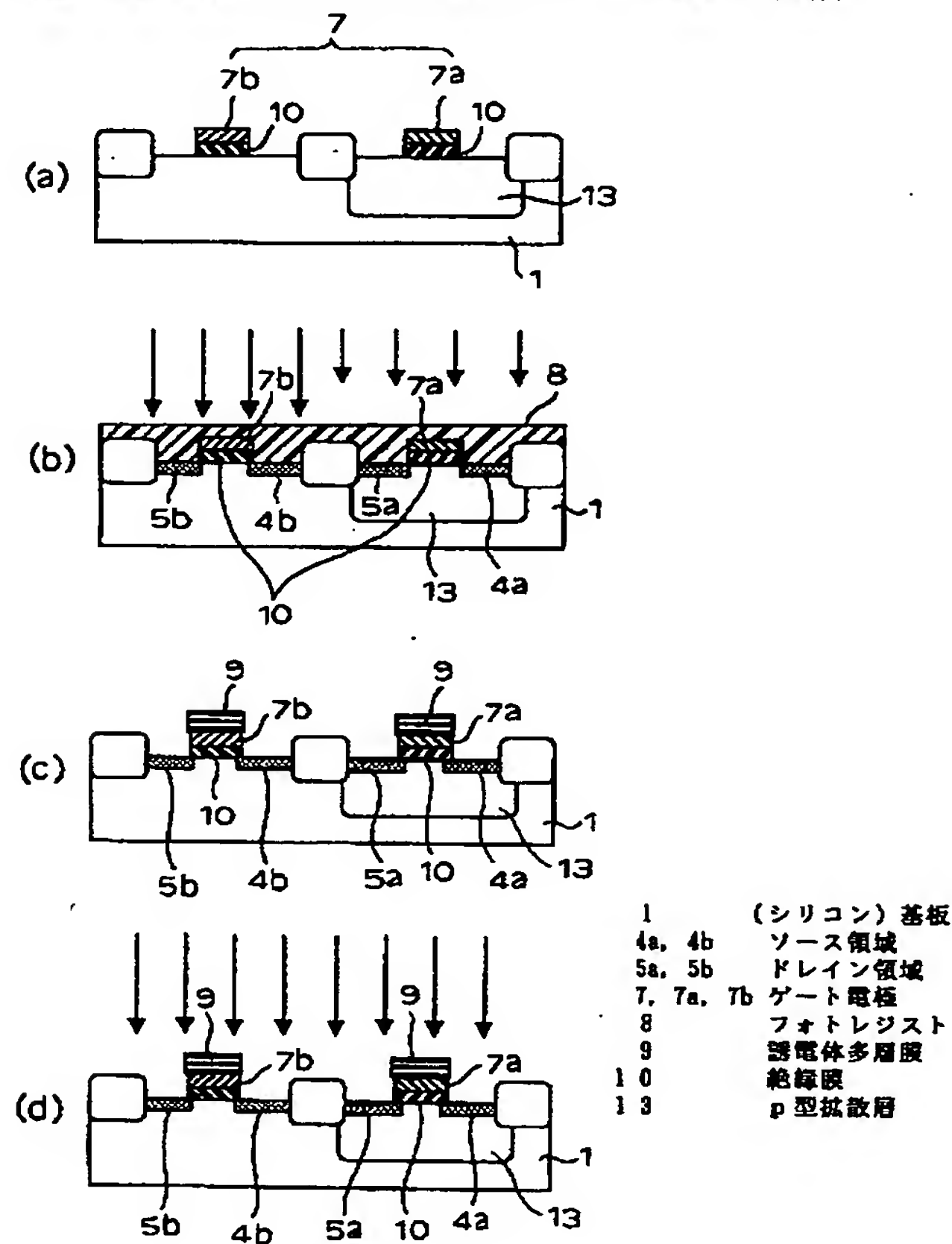
【図 5】

本発明の第4実施例であるイオン注入時とアニーリング処理時の説明図



【図 6】

本発明の第5実施例であるイオン注入時とアニーリング処理時の説明図



フロントページの続き

(72)発明者 香川 和宏
神奈川県平塚市万田1200 株式会社小松製
作所研究本部内
(72)発明者 楡 孝
神奈川県平塚市万田1200 株式会社小松製
作所研究本部内

Fターム(参考) 5F048 AA01 AB03 AC03 BA01 BB09
BC01 BG12
5F140 AA13 AB03 BA01 BH22 BH34
BH45 BK10 BK13 BK20 BK21
CE18